

1 family member for:

Derived from 1 application.

Publication Info: JP8274336 A - 1996-10-18

Data supplied from the **esp@cenet** database - Worldwide

[illegible]

Japanese Laid-open Patent

Laid-open Number: Hei 8-274336
Laid-open Date: October 18, 1996
Application Number: Hei 7-72675
Filing Date: March 30, 1995
Applicant: TOSHIBA CORPORATION

[Title of the Invention] Polycrystalline semiconductor thin film transistor and method of manufacturing the same

[Abstract] (Amendment)

[Object] To provide a thin film semiconductor field-effect transistor which has high current drive capacity, a small size element, and an LDD structure so as not to increase the number of manufacturing steps so much.

[Structure] In a coplanar MIS thin film transistor, a semiconductor layer 3 composed of polycrystalline silicon is formed as a channel region. In the transistor, a gate electrode 4₂ has a protrusion structure in which an area of the vicinity of a portion contacting with a gate oxide film 2 is larger than that on the opposite side, and the polycrystalline silicon layer 3 facing the electrode is doped with the same conductive type determining impurities as a source/drain in a less amount than the source/drain.

[Scope of Claims]

[Claim 1] A polycrystalline semiconductor thin film transistor,

comprising: a substrate having an insulating surface; a polycrystalline semiconductor layer which is formed on the substrate and has a channel region formed in an inside thereof; a gate insulating film formed on the polycrystalline semiconductor layer; a gate electrode formed on the gate insulating film; and source/drain regions formed in contact with both sides of or in the inside of the polycrystalline semiconductor layer, characterized in that the gate electrode is composed of: a first gate metal layer formed on a side closer to the gate oxide film; and a second gate metal layer which is formed on the first gate metal layer and is short in a gate length direction compared to the first gate metal layer.

[Claim 2] A polycrystalline semiconductor thin film transistor, comprising: a substrate having an insulating surface; a polycrystalline semiconductor layer which is formed on the substrate and has a channel region formed in an inside thereof; a gate insulating film formed on the polycrystalline semiconductor layer; a gate electrode formed on the gate insulating film; and source/drain regions formed in the inside of or in contact with both sides of the polycrystalline semiconductor layer, characterized in that: the gate electrode has a shape with a bottom being wide on a side closer to the gate oxide film; and an angle of the bottom with the substrate surface is 20° or less.

[Claim 3] A method of manufacturing a polycrystalline semiconductor thin film transistor, characterized by comprising

the steps of: forming a polycrystalline semiconductor layer on a substrate having an insulating surface; forming a gate insulating film on the polycrystalline semiconductor layer; forming a first gate metal layer on the gate insulating film on a side closer to the gate oxide film; forming a second gate metal layer which is formed on the first gate metal layer and is short in a gate length direction compared to the first gate metal layer; and performing impurity implantation from above the first and second gate metal layers to form source/drain regions on the polycrystalline semiconductor layer.

[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application]

The present invention relates to a polycrystalline semiconductor thin film transistor.

[0002]

[Prior Art]

A thin film transistor (TFT) can be formed on a substrate that has a large area and varies in material, and is therefore expected to have a wide range of applications. In one of the largest fields of the recent applications, the TFT is applied to a switching element of a liquid crystal display device. Although the TFT in practical use is currently made by using amorphous silicon, since the amorphous silicon has low mobility, there are problems in that an element

size becomes large in order to perform large current switching, high speed switching cannot be performed, and the like. To provide a measure for solving these problems, it has been attempted to manufacture the TFT by using polycrystalline silicon for a channel. However, in the case of the TFT using the polycrystalline silicon, a leakage current is likely to occur due to electric field concentration in the vicinity of an end of a drain. Accordingly, for use in pixel switching, an LDD structure in which a low concentration impurity layer is formed in a part of the drain must be used to avoid the electric field concentration, thereby reducing the leakage current.

[0003]

Fig. 5 shows such a conventional LDD structure in order of manufacturing step. First, a polycrystalline silicon film is formed on a glass substrate 1 and processed into an island shape, on which a silicon oxide gate insulating film 43 is formed. Next, patterning is performed to form a gate electrode 45 of MoTa by a PEP (through which a predetermined portion of a resist is photosensed, a resist mask is then formed by removing an unnecessary portion, and etching is performed on this resist mask to process a layer under the resist) step. Thereafter, ion implantation is performed using the gate electrode 45 as a mask to form low concentration regions 46₁ and 47₁ (Fig. 5(a)).

[0004]

Subsequently, the second PEP is performed to form a pattern which is larger than a gate with a silicon oxide film 40. After that, P ion implantation is performed using this pattern as the mask to form high concentration regions 48 and 49 to serve as source/drain regions and also to form LDD regions 46₂ and 47₂ (Fig. 5(b)).

[0005]

Finally, opening portions are provided above the high concentration regions 48 and 49 in a surface protection film formed over the entire surface, and source/drain electrodes of Al are formed in these opening portions to complete the thin film transistor (Fig. 5(c)).

[0006]

In this method, a minimal size of the LDD regions 46₂ and 47₂ that can be formed is determined based on accuracy in two mask alignment steps. According to the current mask alignment accuracy, it is difficult to obtain the LDD region with a width of 2 μm or less. In addition, in the case of being formed on the glass substrate, the LDD region is reduced to only about 4 μm in width taking into account shrinkage of the substrate during processing. Thus, the LDD regions 46₂ and 47₂ become large and cannot be ignored as resistance components. As a result, sufficient current drive capacity has not been obtained. Also, it has been difficult to make the element size smaller as long as the LDD regions 46₂ and 47₂ cannot be made smaller.

[0007]

[Problem to be solved by the Invention]

As described above, in a conventional LDD structure TFT using polycrystalline silicon, it is impossible to obtain an LDD region having an optimal width. Therefore, a conventional element has a large size and insufficient current drive capacity.

[0008]

The present invention has been made in view of the above problems. Therefore, an object of the present invention is to provide a polycrystalline semiconductor thin film transistor, in which an electrode structure is changed to thereby realize an improved drive capacity and a small size.

[0009]

[Means for solving the Problem]

According to Claim 1 of the present invention, there is provided a polycrystalline semiconductor thin film transistor, which includes: a substrate having an insulating surface; a polycrystalline semiconductor layer which is formed on the substrate and has a channel region formed in an inside thereof; a gate insulating film formed on the polycrystalline semiconductor layer; a gate electrode formed on the gate insulating film; and source/drain regions formed in contact with both sides of or in the inside of the polycrystalline semiconductor layer, characterized in that the gate electrode is composed of: a first gate metal layer formed on

a side closer to the gate oxide film; and a second gate metal layer which is formed on the first gate metal layer and is short in a gate length direction compared to the first gate metal layer.

[0010]

According to Claim 2 of the present invention, there is provided a polycrystalline semiconductor thin film transistor, which includes: a substrate having an insulating surface; a polycrystalline semiconductor layer which is formed on the substrate and has a channel region formed in an inside thereof; a gate insulating film formed on the polycrystalline semiconductor layer; a gate electrode formed on the gate insulating film; and source/drain regions formed in the inside of or in contact with both sides of the polycrystalline semiconductor layer, characterized in that: the gate electrode has a shape with a bottom being wide on a side closer to the gate oxide film; and an angle of the bottom with the substrate surface is 20° or less.

[0011]

According to Claim 3 of the present invention, there is provided a method of manufacturing a polycrystalline semiconductor thin film transistor, characterized by including the steps of: forming a polycrystalline semiconductor layer on a substrate having an insulating surface; forming a gate insulating film on the polycrystalline semiconductor layer; forming a first gate metal layer on the gate insulating film on a side closer to the gate oxide

film; forming a second gate metal layer which is formed on the first gate metal layer and is short in a gate length direction compared to the first gate metal layer; and performing impurity implantation from above the first and second gate metal layers to form source/drain regions on the polycrystalline semiconductor layer.

[0012]

Here, it is desirable in view of improvement of element speed that the gate electrode be formed of a conductor having two layers or more and the closer layer to the gate insulating film have the lower resistance. Also, it is preferable in view of reliability in element characteristics that the polycrystalline semiconductor be of polycrystalline silicon.

[0013]

Further, it is desirable in view of reduction of a leakage current that the angle of the bottom of the gate electrode with the substrate surface be 20° or less. Also, it is desirable in view of the reduced leakage current that the bottom of the gate electrode, or a protrusion of the first gate metal layer from the second gate metal layer in the gate length direction, be $0.2\ \mu\text{m}$ or more.

[0014]

Furthermore, it is desirable in view of obtaining an LDD structure with excellent characteristics that, in the polycrystalline semiconductor layer, impurities under the gate electrode be the same conductive type determining impurities as

the source/drain regions of the polycrystalline semiconductor thin film transistor and a concentration thereof be equal to or lower than a tenth of the impurity concentration of the source/drain regions.

[0015]

[Operation]

According to the above-described structure, under a protrusion of the first gate metal layer from the second gate metal layer in the gate length direction, or the bottom of the gate electrode, there is formed a low impurity concentration layer which has a low impurity concentration and is shorter in the gate length direction compared to a conventional structure. Thus, since the low impurity concentration layer is short, the LDD structure having a low resistance is accurately formed, whereby the polycrystalline semiconductor thin film transistor can be provided in which an improved drive capacity and a smaller size are realized.

[0016]

[Embodiment]

The present invention will be described in detail with reference to embodiments.

(Embodiment 1)

Embodiment 1 of the present invention will be described with reference to sectional views in order of manufacturing step shown in Fig. 1 and Fig. 2.

[0017]

First, a quartz substrate 1 is used and an amorphous Si layer is formed on this substrate 1 by a CVD method. Then, annealing is performed at 600°C for 20 hours, to form a polycrystalline Si layer 2 having a thickness of 50 nm. Although not shown here, this polycrystalline Si layer 2 is processed into an island shape in order to be electrically separated from another polycrystalline Si layer on the quartz substrate 1, followed by which an SiO₂ layer 3 is formed to a thickness of 70 nm by an atmospheric pressure CVD method. After that, as gate electrode materials, a tungsten layer 4₁ is formed to a thickness of 20 nm and a molybdenum layer 5₁ is formed to a thickness of 100 nm. After that, a resist 6₁ is adhered to a portion to be left as a gate electrode (Fig. 1(a)).

[0018]

Thereafter, the gate electrode materials are etched by an RIE method which uses oxygen and fluoride gases to form a tungsten layer 4₂ and a molybdenum layer 5₂. At this time, a proportion of oxygen is first lowered to perform etching under a condition that a width of the layers is similar to that of the resist 6₁ (Fig. 1(b)).

[0019]

Thereafter, oxygen concentration is raised to continue the etching under the condition that the resist 6₁ is also etched, whereby the width of the resist becomes smaller and a metal 5₃ just under a resist 6₂ is also subjected to the etching. Although the gate

electrode may be completed here, the etching can be further continued to form a shape having a clearly wide bottom (Fig. 1(c)).

[0020]

That is, the gases are replaced to further etch the metal in an upper layer under the condition that a metal in a lower layer is not etched. After that, removing the resist provides a gate with such a structure that a metal 5_4 in the upper layer is narrower than a metal 4_2 in the lower layer. In this manner, there are formed the tungsten layer 4_2 serving as a first gate metal, and a molybdenum layer 5_4 as a second gate metal layer which is shorter than the tungsten layer 4_2 in a gate length direction. In this case, it is also possible to express the gate electrode as having a two-stairstep shape (Fig. 1(d)).

[0021]

Thereafter, using an ion implantation apparatus in which mass separation is not performed (ion doping apparatus), ion implantation is performed with P ions under the condition of 100 keV and $3 \times 10^{13}/\text{cm}^2$ to form low impurity concentration layers 6_1 and 7_1 (Fig. 2(a)).

[0022]

Thereafter, the ion implantation is performed under the condition of 50 keV and $3 \times 10^{15}/\text{cm}^2$ to form high impurity concentration source/drain regions 8 and 9 and also to form low impurity concentration layers 6_2 and 7_2 (Fig. 2(b)).

[0023]

Thereafter, an interlayer insulating SiO_2 film 14 is adhered and a contact hole is formed, followed by which Al electrodes 10 and 11 are adhered and formed to obtain source/drain electrodes 10 and 11.

[0024]

Thereafter, although not shown, a passivation film or the like is formed over the entire surface to complete a thin film field-effect transistor. Fig. 3 shows a study result of a relationship (indicated by a solid line) between a gate voltage and a drain current of the thin film field-effect transistor in the above embodiment, and also shows, for comparison, a relationship (indicated by a broken line) between the gate voltage and the drain current of a conventional thin film field-effect transistor with an LDD structure. As is apparent from this figure, in the TFT of this embodiment, it is possible to improve an ON current compared to the conventional TFT.

[0025]

In this manner, by using the present invention, it becomes possible to produce the thin film field-effect transistor with high current drive capacity. In addition, since the low impurity concentration layer is formed in a self-aligning manner with the gate electrode, there occurs no misalignment of the mask due to a PEP step, allowing the thin film field-effect transistor to have stable characteristics and improving a yield. Also, in the case

of application to a driver circuit TFT of a liquid crystal display device which is obtained by forming and integrating a pixel electrode, a switching TFT for the pixel electrode, a driver circuit, and the like on an insulating substrate, there is considerable complexity with a conventional method since the driver circuit and a pixel switch differs in structure of the thin film field-effect transistor. However, the driver circuit and the pixel switch are allowed to have the same structures with the present method, to make the circuit design much simpler. Also, the current drive capacity of a pixel switching MIS field-effect transistor becomes higher, whereby an occupied area which the transistor occupies on the insulating substrate can be made smaller. That is, for example, the occupied area of $10 \times 10 \mu\text{m}^2$ occupied by the conventional thin film field-effect transistor can be reduced to that of $7 \times 10 \mu\text{m}^2$ occupied by the transistor of this embodiment, making it possible to realize a smaller size element. At the same time, a leakage current also becomes smaller, thereby enabling to reduce an auxiliary capacitance and to raise an aperture ratio.

(Embodiment 2)

Fig. 4 is a sectional view of the thin film field-effect transistor showing Embodiment 2 of the present invention. According to the present method, when a metal layer is etched to form the gate electrode, it is possible to produce a gate electrode shape of the present invention at one time by selecting an etching condition.

As is the same in Embodiment 1, in the case of Embodiment 2, a side surface of a gate electrode 35 has a bottom 36 having a slanting shape and a sectional surface of the gate electrode 35 has the shape close to an L-form overall, and it is found that: it is preferable that a protrusion of the bottom of the gate electrode from a top portion of the gate electrode be more than $0.2\text{ }\mu\text{m}$ in the gate length direction; and it is also desirable that a broadening angle of the bottom be 20° or less with respect to a substrate surface. A reason for this is as follows. That is, even when an ordinary etching is performed, the side surface of the gate is slanted. However, a slanting angle thereof, which is standing, indicates the shape at 45° or more with respect to the substrate 1. However, with such a shape, even if an ion accelerating voltage is changed, there is formed almost no LDD region, and therefore, a reverse direction leakage of a MIS does not reduced. In an experiment by the present inventors, in the case of a protruding portion being $0.5\text{ }\mu\text{m}$ or $0.3\text{ }\mu\text{m}$ in length, when produced at an angle with the substrate of 5° , a MIS transistor having the most preferable characteristics was obtained. In order to form LDD regions until electric characteristics are improved, it is desirable that the bottom 36 of the gate electrode have an angle of approximately 5° with respect to the substrate surface. In our experiment, even when the angle was increased to 20° , improvement of the characteristics was observed. Thus, it was found that, in the case of the angle being 20° or less

and the protruding portion being 0.3 μm in length, the LDD structure can be produced by one PEP step. When the angle with the substrate was 0° and the protruding portion was 0.5 μm in length, exactly the same effect as in Embodiment 1 was obtained.

[0026]

The present invention is not limited to the above embodiments, and the intention thereof may be put into practice through various modifications. In the above-described embodiments of the present invention, used as a conductive layer closer to a gate insulating film in the gate electrode is polycrystalline silicon, and used as a portion farther from the gate insulating film is a metal such as tungsten, molybdenum, chromium, titanium, platinum, vanadium, nickel, aluminum, copper, gold, silver, palladium, niobium, or tantalum. In this case, a channel and the gate electrode which is in contact with an oxide film are made of the same material, and a threshold value of the MIS transistor can be prevented from changing due to a difference in work function between substances.

[0027]

Also, as the gate electrode of the above-described embodiment, there can be used a combination of: alloys or compounds among mutual metals selected from the group consisting of tungsten, molybdenum, chromium, titanium, platinum, vanadium, nickel, aluminum, copper, gold, silver, palladium, niobium, tantalum, and the like; or these metals or the alloys which are added minutely with beryllium,

magnesium, calcium, zinc, cadmium, mercury, or other element. Such an alloy or a metal which includes a minute amount of impurities is preferable because etching rate thereof can be changed with ease depending on a composition ratio, and thus can produce such a shape as in the present invention.

[0028]

The polycrystalline semiconductor layer is not limited to silicon, but may also be another group IV semiconductor or compound semiconductor, for example, SiGe, SiC, or the like. Also, although impurity doping is not performed to the channel in the above embodiment, the doping to the channel may be performed to form a p-type or n-type field-effect transistor, which does not depart from the scope of the present invention.

[0029]

Also, the substrate having an insulating surface is not limited to a glass substrate, but may be the substrate as long as it is one having the insulating surface such as an SOI substrate. It is possible to use other various modifications.

[0030]

[Effect of the Invention]

By using the present invention, the polycrystalline semiconductor thin film transistor can be provided in which an improved drive capacity and a smaller size are realized.

[Brief Description of the Drawings]

[Fig. 1] A sectional view of a MIS TFT transistor in accordance with Embodiment 1 of the present invention.

[Fig. 2] A sectional view of the MIS TFT transistor in accordance with Embodiment 1 of the present invention.

[Fig. 3] A sectional view of the MIS TFT transistor in accordance with Embodiment 1 of the present invention.

[Fig. 4] A sectional view of a MIS TFT transistor in accordance with Embodiment 2 of the present invention.

[Fig. 5] A sectional view of a MIS TFT transistor having an LDD structure with a conventional method.

[Description of Reference Numerals]

- 1 insulating substrate
- 2 gate insulating film
- 3 polycrystalline silicon layer without doping
- 4 first gate metal layer
- 5 second gate metal layer
- 6, 7 polycrystalline silicon layer doped with low concentration impurity
- 8, 9 polycrystalline silicon layer doped with high concentration impurity
- 10 source electrode
- 11 drain electrode
- 14 insulating film
- 16 resist layer

FIG. 3

DRAIN CURRENT

PRESENT INVENTION

CONVENTIONAL EXAMPLE WITH LDD

GATE VOLTAGE

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-274336

(43)公開日 平成8年(1996)10月18日

(51)Int. Cl.⁶
H01L 29/786

識別記号

F I
H01L 29/78

617 L
617 K

審査請求 未請求 請求項の数3 O L (全6頁)

(21)出願番号 特願平7-72675
(22)出願日 平成7年(1995)3月30日

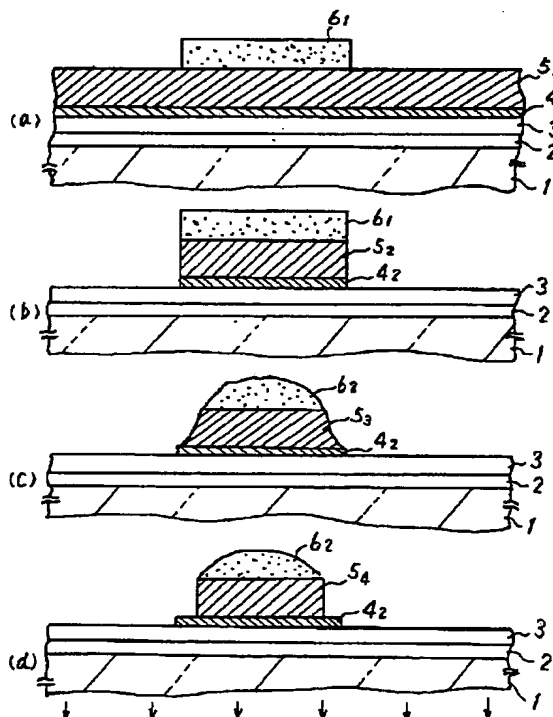
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 上本 勉
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 平松 雅人
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】多結晶半導体薄膜トランジスタ及びその製造方法

(57)【要約】 (修正有)

【目的】電流ドライブ能力が高く素子サイズが小さいLDD構造を持った薄膜半導体電解効果トランジスタを工程数をあまり増やすことなく供給する。

【構成】多結晶シリコンよりなる半導体層3をチャネル領域よりなるコプレーナ型MIS型薄膜トランジスタにおいて、ゲート電極4₂がゲート酸化膜2に接触部近傍の面積が反対側より大きい張りだし構造を有し、対面する多結晶シリコン層3にソース・ドレインと同じ伝導型決定不純物がソースドレインより薄く添加されている。



【特許請求の範囲】

【請求項 1】表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側に形成された第 1 のゲート金属層と、この第 1 のゲート金属層上に形成され前記第 1 のゲート金属層に比べてゲート長方向が短い第 2 のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタ。

【請求項 2】表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側で裾が広がった形状でありこの裾が前記基板表面との成す角度が 20 度以下であることを特徴とする多結晶半導体薄膜トランジスタ。

【請求項 3】表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート酸化膜に近い側に第 1 のゲート金属層を形成する工程と、この第 1 のゲート金属層上に形成され前記第 1 のゲート金属層に比べてゲート長方向が短い第 2 のゲート金属層を形成する工程と、前記第 1 及び第 2 のゲート金属層上から不純物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多結晶半導体薄膜トランジスタに関する。

【0002】

【従来の技術】薄膜トランジスタ (TFT) は大面積かつ種々の材質の基板に形成できるため多方面の応用が期待されている。今日もっとも大きな応用分野としては液晶表示素子におけるスイッチング素子として応用されている。現在、実用化されている TFT は非晶質シリコンを用いたものであるが、非晶質シリコンは移動度が低くこのため大電流をスイッチングする為には素子サイズが大きくなる、高速のスイッチングができないなどの問題点がある。これを解決する手段として、多結晶シリコンをチャネルに用いて TFT を作製する試みがなされている。しかし、多結晶シリコンを用いた TFT はドレイン端近傍での電界集中によるリーク電流が発生しやすくこのため画素スイッチング用に使用するには、ドレインの

一部に低濃度の不純物層を形成した LDD 構造を用いて、電界集中を避けてリーク電流を減らさなければならない。

【0003】従来のこの LDD 構造を製造工程順に示したのが図 5 である。まず初めに、ガラス基板 1 上に多結晶シリコン膜を形成し、これを島状に加工し、この上に版下シリコンのゲート絶縁膜 43 を形成する。この後、MoTa のゲート電極 45 を、PEP (レジストの所定部分を感光させた後、不要部を除去してレジストのマスクを形成し、このレジストマスク上からエッチングしてレジスト下の層を加工する) 工程により、パターン形成する。しかる後、このゲート電極 45 をマスクにしてイオン注入を行い低濃度領域 46₁、47₁ を形成する (図 5 (a))。

【0004】その後 2 回目の PEP を行って、ゲートより大きめのパターンを酸化シリコン膜 40 で形成する。その後、このパターンをマスクにして、P のイオン注入を行ってソース・ドレイン領域となる高濃度領域 48、49 を形成すると共に LDD 領域 46₂、47₂ も形成する (図 5 (b))。

【0005】最後に、全面に形成した表面保護膜の高濃度領域 48、49 上に開口部を設け、この開口部に A1 のソース・ドレイン電極を形成して薄膜トランジスタが完成する (図 5 (c))。

【0006】この方法では LDD 領域 46₂、47₂ の形成できる最小寸法は 2 回のマスク合わせの精度によって決まる。現状では合わせ精度では LDD 領域の幅は 2 μm 以下にすることは難しく、また、ガラス基板上に作製するときにはプロセス途中での基板の収縮を考えると、LDD 領域の幅は 4 μm 程度にしかすることはできない。従って、LDD 領域 46₂、47₂ が、大きくなり、抵抗成分として無視できない。このため十分な電流ドライブ能力を得ることができなかった。また LDD 領域 46₂、47₂ を小さくする事ができない以上素子サイズを小さくすることも困難であった。

【0007】

【発明が解決しようとする課題】以上説明した様に従来の多結晶シリコンを用いた LDD 構造 TFT では LDD 領域の幅を最適なものにすることは不可能であった。このため、従来の素子はサイズが大きく、また電流のドライブ能力の不足したものであった。

【0008】本発明は上記問題点を鑑みなされたもので、電極構造を変えることにより、ドライブ能力の向上と素子サイズの小型化を図った多結晶半導体薄膜トランジスタの提供を目的とする。

【0009】

【課題を解決するための手段】請求項 1 に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶

緑膜上に形成されるゲート電極と、前記多結晶半導体層の両側に接して或いは内部に形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側に形成された第 1 のゲート金属層と、この第 1 のゲート金属層上に形成され前記第 1 のゲート金属層に比べてゲート長方向が短い第 2 のゲート金属層から成ることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【0010】請求項 2 に係る発明は、表面が絶縁性の基板と、この基板上に形成されチャンネル領域が内部に形成される多結晶半導体層と、この多結晶半導体層上に形成されるゲート絶縁膜と、このゲート絶縁膜上に形成されるゲート電極と、前記多結晶半導体層の内部或いは両側に接して形成されるソース・ドレイン領域とを備えた多結晶半導体薄膜トランジスタにおいて、前記ゲート電極が前記ゲート酸化膜に近い側で裾が広がった形状でありこの裾が前記基板表面との成す角度が 20 度以下であることを特徴とする多結晶半導体薄膜トランジスタを提供するものである。

【0011】請求項 3 に係る発明は、表面が絶縁性の基板上に多結晶半導体層を形成する工程と、この多結晶半導体層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に前記ゲート酸化膜に近い側に第 1 のゲート金属層を形成する工程と、この第 1 のゲート金属層上に形成され前記第 1 のゲート金属層に比べてゲート長方向が短い第 2 のゲート金属層を形成する工程と、前記第 1 及び第 2 のゲート金属層上から不純物注入を行なって前記多結晶半導体層にソース・ドレイン領域を形成する工程とを具備することを特徴とする多結晶半導体薄膜トランジスタの製造方法を提供するものである。

【0012】ここで前記ゲート電極は 2 層以上の伝導体より形成され、前記ゲート絶縁膜から近い順に低抵抗であることが素子速度向上の点から望ましい。また、多結晶半導体は多結晶シリコンであることが、素子特性の信頼性の面から良い。

【0013】また、ゲート電極の裾は、基板表面との成す角度が 20 度以下であることがリーク電流低減の点から望ましく、またゲート電極の裾或いは第 1 のゲート金属層の第 2 のゲート金属層からのゲート長方向での出

張りは、0.2 μm 以上であることが低リーク電流の点から望ましい。

【0014】さらに、多結晶半導体層は、前記ゲート電極下の不純物が多結晶半導体薄膜トランジスタのソース・ドレイン領域と同じ伝導型決定不純物であり、かつソース・ドレイン領域の不純物濃度と比べて 1 桁以上少ない濃度であることが良好な特性の LDD 構造を得る点から望ましい。

【0015】

【作用】上記構成により、第 1 のゲート金属層の第 2 の

ゲート金属層からのゲート長方向での出っ張り或いはゲート電極の裾の下に低不純物濃度でゲート長方向の長さが従来構造に比べて短い低不純物濃度層が形成される。従って、この低不純物濃度層が短いために低抵抗の LDD 構造が正確に形成されることになり、ドライブ能力の向上と素子サイズの小型化を図った多結晶半導体薄膜トランジスタを提供することができる。

【0016】

【実施例】本発明の詳細を実施例を用いて説明する。

（実施例 1）本発明の実施例 1 を図 1、図 2 に示した製造工程順の断面図によって説明する。

【0017】先ず、石英基板 1 を用い、この基板 1 上に CVD 法で非晶質 Si 層を形成する。その後、600℃でアニールを 20 時間行い、50 nm 厚の多結晶 Si 層 2 を形成する。ここでは図示しないが、この多結晶 Si 層 2 を他の多結晶 Si 層から石英基板 1 上で電気的に分離するために島状に加工した後、常圧 CVD 法で SiO₂ 層 3 を 70 nm 形成する。その後、ゲート電極材料としてタングステン層 4₁ を 20 nm、モリブデン層 5₁ を 100 nm 形成する。その後ゲート電極として残すべきところにレジスト 6₁ を被着しておく（図 1 (a)）。

【0018】その後、酸素とフッ化物のガスを用いた RIE 法でゲート電極材料をエッチングして、タングステン層 4₁、モリブデン層 5₁ を形成する。このとき、酸素の比率をまず低くして、まずレジスト 6₁ と同じ幅に近い条件でエッチングする（図 1 (b)）。

【0019】その後、酸素濃度を上げてレジスト 6₁ もエッチングされる様な条件でエッチングを続けるとレジスト幅が後退し、さらに、レジスト 6₁ 直下の金属 5₁ もエッチングされるようになる。ゲート電極は、これで完成としてもよいが、さらにエッチングを続けて明確に裾が広がった形状にすることもできる（図 1 (c)）。

【0020】つまり、ガスを切り替えて、下層の金属がエッチングされない条件でさらに上層の金属をエッチングする。その後レジストを除去することでゲートが上層の金属 5₁ が下層の金属 4₁ より狭い構造を有している。この様にして、第 1 のゲート金属としてのタングステン層 4₁、及びこのタングステン層 4₁ に対してゲート長方向で短い第 2 のゲート金属層としてのモリブデン層 5₁ が形成されることとなる。この場合はゲート電極を 2 段の階段状と称することもできる（図 1 (d)）。

【0021】その後、マス分離をしないイオン注入装置（イオンドーピング装置）で P イオンを 100 keV で $3 \times 10^{13} / \text{cm}^2$ の条件でイオン注入を行って低不純物濃度層 6₁、7₁ を形成する（図 2 (a)）。

【0022】その後 50 keV で $3 \times 10^{15} / \text{cm}^2$ イオン注入を行って、高不純物濃度のソース・ドレイン領域 8、9 を形成すると共に低不純物濃度層 6₁、7₁ の（図 2 (b)）。

【0023】その後層間絶縁用の SiO_2 膜14を被着し、コンタクトホールを形成した後、A1電極10、11を被着形成してソース・ドレイン電極10、11を形成する。

【0024】この後、図示しないが、全面にパッシベーション膜などを形成して薄膜電解効果トランジスタを完成させる。図3は上記実施例の薄膜電解効果トランジスタのゲート電圧とドレイン電流の関係(実線で示した)を調べたもので、比較のために図5に示した従来型のLDD構造の薄膜電解効果トランジスタのゲート電圧とドレイン電流の関係(破線で示した)を示したものである。この図から明らかなように、本実施例のTFTは従来のTFTと比べてON電流を向上させる事ができる。

【0025】このように、本発明を使用することにより、電流ドライブ能力の高い薄膜電解効果トランジスタを作製することができるようになった。また、ゲート電極に自己整合して低不純物濃度層が形成されるためPEP工程によるマスクずれがなくなり、薄膜電解効果トランジスタの特性を安定させることができ、歩留まりが高くなった。また、絶縁基板上に画素電極、画素電極のスイッチング用TFT、駆動回路などを集積形成して得られる液晶表示装置の駆動回路様のTFTに適用する場合、従来法では駆動回路と画素スイッチでは薄膜電解効果トランジスタの構成が変わり非常に複雑になったが、本方法では同じ構造にすることができ、回路設計上非常に楽になった。また、画素スイッチ様のMIS型電解効果トランジスタの電流ドライブ能力が高くなり、トランジスタの絶縁性基板上に占める占有面積を小さくすることができる。これは例えば従来型の薄膜電解効果トランジスタの占有面積が $10 \times 10 \mu\text{m}^2/\text{口}$ であったのを、本実施例のトランジスタでは $7 \times 10 \mu\text{m}^2/\text{口}$ にすることができ、素子サイズの小型化を図ることができると共に、またリーク電流が少なくなることで補助容量を低減することができ、開口率を高くすることが可能となった。

(実施例2) 図4は本発明の実施例2を示す薄膜電解効果トランジスタの断面図である。本方法では金属層からゲート電極をエッチング形成する際、エッチング条件を選ぶことにより、一度で本発明のゲート電極形状を作製できる様にしたものである。この実施例1でもそうであるが、この実施例2の場合、ゲート電極35の側面は傾斜形状の裾36を持ちゲート電極35の断面は全体としてL型に近い形状となり、ゲート電極の裾のゲート電極頂部からの出っ張りはゲート長方向で $0.2 \mu\text{m}$ より大きいことが良く、また、裾の広がり角度は基板表面からに対して 20 度以下であることが望ましいことが分かった。これは以下の理由による。つまり通常エッチングを行っても、ゲート側面は傾斜する。しかし、傾斜角は立っており、基板1に対し、 45 度以上の形状を示している。しかし、このような形状では、イオンの加速電圧を

変えてもLDD領域はほとんど形成されず、従って、MISの逆方向リークも減らなかった。発明者等の実験では張り出し部の長さが $0.5 \mu\text{m}$ 、 $0.3 \mu\text{m}$ の場合、基板との角度 5 度で作製したとき最もMISトランジスタは特性の良いものができた。電気的特性が改善されるまでLDD領域が形成されるためには、ゲート電極の裾36が基板表面に対して 5 度程度の角度がついていることが望ましい。我々の実験では 20 度まで、角度を大きくしても特性の改善が見られた。よって角度 20 度以下で張り出し部分の長さが $0.3 \mu\text{m}$ である場合、1回のPEP行程でLDD構造が作製できることがわかった。基板との角度が 0 度で、張り出し部分が $0.5 \mu\text{m}$ の時が実施例1とまったく同様の効果を得た。

【0026】本発明は、上記実施例に限定されるものではなく、その趣旨を種々変形して実施することができる。本発明の上述した実施例において、ゲート電極のうち、ゲート絶縁膜に近い部分の伝導層を多結晶シリコンとし、ゲート絶縁膜から遠い部分をタングステン、モリブデン、クロム、チタン、白金、バナジウム、ニッケル、アルミニウム、銅、金、銀、パラジウム、ニオブ、タンタルなどの金属としたものである。この場合、チャネルと、酸化膜に接しているゲート電極が同じ材料であり、物質の仕事関数差によるMISトランジスタの閾値が変化するのを防ぐことができる。

【0027】また、上述した実施例のゲート電極にタングステン、モリブデン、クロム、チタン、白金、バナジウム、ニッケル、アルミニウム、銅、金、銀、パラジウム、ニオブ、タンタルなどの金属の相互の金属間の合金または金属間化合物、またはこれらの金属または合金にベリリウム、マグネシウム、カルシウム、亜鉛、カドミウム、水銀その他の元素を微量に添加したものを組み合わせ使用することができる。この様な合金や微量の不純物を含んだ金属は組成比で容易にエッチング速度を変更することができ本発明の様な形状を作製できるので好ましい。

【0028】多結晶半導体層はシリコンに限定されるものではなく、他のIV族半導体、化合物半導体例えば、 SiGe 、 SiC 等であっても良い。また上記実施例ではチャネルには不純物添加を行わなかったが、チャネルへのドーピングを行ってP型或いはN型の電解効果トランジスタにしても本発明の主旨を逸脱するものではない。

【0029】また、表面が絶縁性の基板は、ガラス基板に限るものではなく、SOI基板などの表面が絶縁性である基板なら良い。その他種々変形して使用することができる。

【0030】

【発明の効果】本発明を用いることにより、ドライブ能力の向上と素子サイズの小型化を図った多結晶半導体薄膜トランジスタを提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施例 1 に係わる M I S 型 T F T トランジスタの断面図

【図 2】 本発明の実施例 1 に係わる M I S 型 T F T トランジスタの断面図

【図 3】 本発明の実施例 1 に係わる M I S 型 T F T トランジスタを説明する図

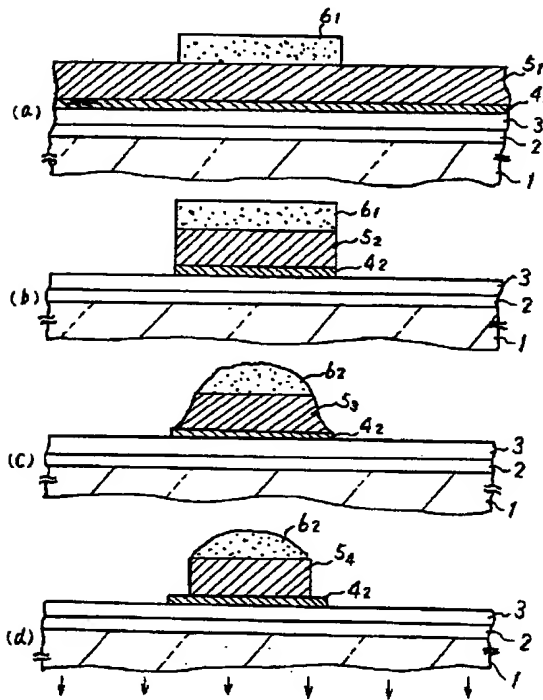
【図 4】 本発明の実施例 2 に係わる M I S 型 T F T トランジスタの断面図

【図 5】 従来法の L D D 構造を有する M I S 型 T F T トランジスタの断面図

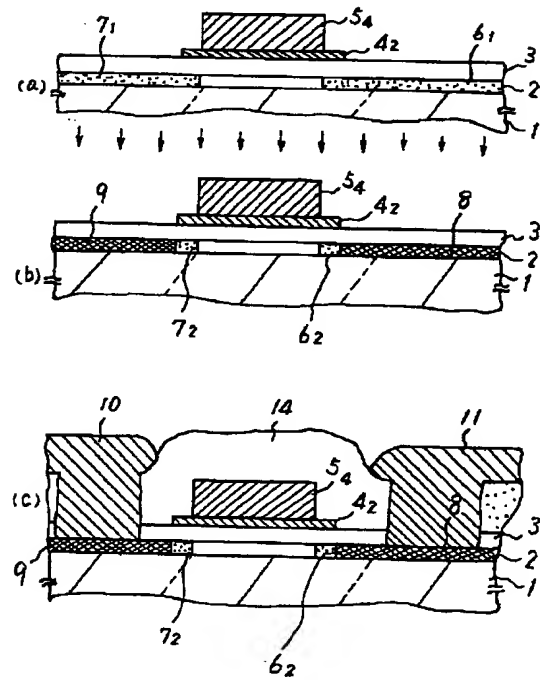
【符号の説明】

- 1 絶縁性基板
- 2 ゲート絶縁膜
- 3 無添加多結晶シリコン層
- 4 第 1 のゲート金属層
- 5 第 2 のゲート金属層
- 6, 7 低濃度不純物添加した多結晶シリコン層
- 8, 9 高濃度不純物添加した多結晶シリコン層
- 10 ソース電極
- 11 ドレイン電極
- 14 絶縁膜
- 16 レジスト層

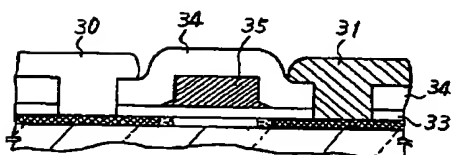
【図 1】



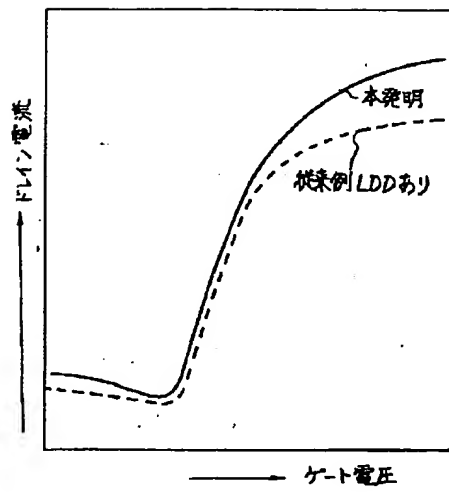
【図 2】



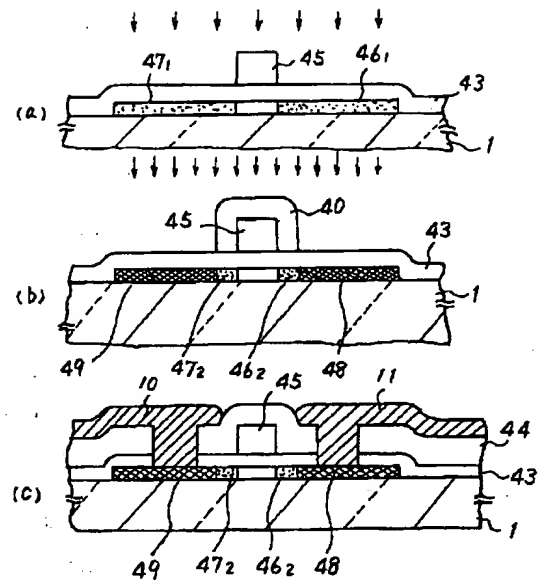
【図 4】



【図 3】



【図 5】



THIS PAGE BLANK (USPTO)